

S2 1 PN=11-138775
?t s2/5/1

2/5/1
DIALOG(R)File 347:JAPIO
(c) 2002 JPO & JAPIO. All rts. reserv.

06197221 **Image available**
ELEMENT SUBSTRATE, INK JET RECORDING HEAD, AND INK JET RECORDER

PUB. NO.: 11-138775 [JP 11138775 A]
PUBLISHED: May 25, 1999 (19990525)
INVENTOR(s): MATSUNO YASUSHI
APPLICANT(s): CANON INC
APPL. NO.: 09-313440 [JP 97313440]
FILED: November 14, 1997 (19971114)
INTL CLASS: B41J-002/01; B41J-002/05

ABSTRACT

PROBLEM TO BE SOLVED: To control malfunction owing to deterioration of a heater and a switch and a noise by a method wherein a plurality of switching elements provided corresponding to electricity-heat conversion elements in order to drive a plurality of electricity-heat conversion elements are connected in parallel, and switching timings of respective switching elements are differentiated.

SOLUTION: When at first a signal is inputted at a timing of being at an IN terminal, C1-4 signals are respectively formed by a timing control circuit. In this case where the C1 signal is equal to an IN signal, the C2 signal becomes a signal delayed by a t1 content from the C1, the C4 becomes a signal delayed by a t3 content from the C1, a switch is ON and OFF controlled according to each timing, and a current IH flowing to a load becomes a stepping waveform under an ideal state. Consequently though high frequency components contained in a rise and a fall of the current are the same ones, their amplitudes can be lessened, the amplitude of overshoot or undershoot can be restrained, and consequently a ringing phenomenon can be controlled.

COPYRIGHT: (C)1999,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-138775

(43) 公開日 平成11年(1999) 5月25日

(51) Int.Cl.⁶

識別記号

F I

B 4 1 J 2/01
2/05

B 4 1 J 3/04

1 0 1 Z

1 0 3 B

審査請求 未請求 請求項の数17 O L (全 7 頁)

(21) 出願番号 特願平9-313440

(22) 出願日 平成9年(1997)11月14日

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 松野 靖司

東京都大田区下丸子3丁目30番2号キヤノ
ン株式会社内

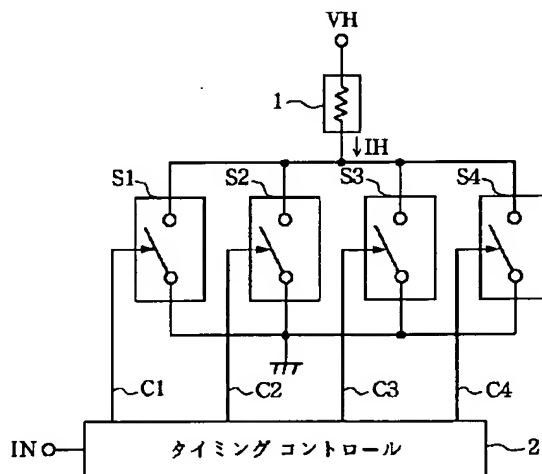
(74) 代理人 弁理士 丸島 儀一

(54) 【発明の名称】 素子基体、インクジェット記録ヘッドおよびインクジェット記録装置

(57) 【要約】

【課題】 記録ヘッドの記録素子を駆動するためのスイッチング手段で生じるリングングを防止することで、誤動作、ヘッド等の劣化を防止する。

【解決手段】 記録素子である電気熱変換体を駆動するためのスイッチング手段を、複数のスイッチング素子を並列に接続し、それぞれのスイッチング素子のスイッチングタイミングが異なるように構成する。



【特許請求の範囲】

【請求項1】 記録を行うための熱を発生する複数の電気熱変換素子と、該複数の電気熱変換素子を駆動するために前記電気熱変換素子に対応して設けられた複数のスイッチング手段とを有する素子基体において、前記スイッチング手段は、複数のスイッチング素子を並列に接続しており、それぞれのスイッチング素子のスイッチングタイミングが異なるように構成されていることを特徴とする素子基体。

【請求項2】 前記スイッチング素子はMOSトランジスタで構成されている請求項1の素子基体。

【請求項3】 前記MOSトランジスタのゲート電極はポリシリコンである請求項2の素子基体。

【請求項4】 前記スイッチング素子はバイポーラトランジスタで構成されている請求項1の素子基体。

【請求項5】 前記スイッチング手段は前記複数のスイッチング素子のそれぞれの駆動タイミングを所定時間遅延させるための遅延回路を有する請求項1の素子基体。

【請求項6】 前記遅延回路はタイミングコントロール回路である請求項5の素子基体。

【請求項7】 前記遅延回路は前記スイッチング素子のゲート電極間に配された電気抵抗で構成されている請求項5の素子基体。

【請求項8】 前記電気抵抗は前記スイッチング素子を構成し各スイッチング素子に接続されたゲート電極の電気抵抗を利用する請求項7の素子基体。

【請求項9】 吐出口からインクを吐出するための熱を発生する複数の電気熱変換素子と、該複数の電気熱変換素子を駆動するために前記電気熱変換素子に対応して設けられた複数のスイッチング手段とを有する素子基体と、
該電気熱変換素子に対応して設けられ一端が前記吐出口に連通する流路と、を有するインクジェット記録ヘッドにおいて、

前記スイッチング手段は複数のスイッチング素子を並列に接続しており、それぞれのスイッチング素子のスイッチングタイミングが異なるように構成されていることを特徴とするインクジェット記録ヘッド。

【請求項10】 前記スイッチング素子はMOSトランジスタで構成されている請求項9のインクジェット記録ヘッド。

【請求項11】 前記MOSトランジスタのゲート電極はポリシリコンである請求項10のインクジェット記録ヘッド。

【請求項12】 前記スイッチング素子はバイポーラトランジスタで構成されている請求項9のインクジェット記録ヘッド。

【請求項13】 前記スイッチング手段は前記複数のスイッチング素子のそれぞれの駆動タイミングを所定時間遅延させるための遅延回路を有する請求項9のインクジ

ェット記録ヘッド。

【請求項14】 前記遅延回路はタイミングコントロール回路である請求項13のインクジェット記録ヘッド。

【請求項15】 前記遅延回路は前記スイッチング素子のゲート電極間に配された電気抵抗で構成されている請求項13のインクジェット記録ヘッド。

【請求項16】 前記電気抵抗は前記スイッチング素子を構成し各スイッチング素子に接続されたゲート電極の電気抵抗を利用する請求項15のインクジェット記録ヘッド。

【請求項17】 請求項9から16の何れかのインクジェット記録ヘッドと、前記インクジェット記録ヘッドを駆動するための駆動信号を供給する駆動信号供給手段とを有するインクジェット記録装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、記録ヘッドに用いる素子基体に関するもので、特にリングングを抑制するためのスイッチング回路を有する素子基体、インクジェット記録ヘッドおよびこの記録ヘッドを用いたインクジェット記録装置に関する。

【0002】なお、本発明において用いる「記録」とは、文字や図形等の意味を持つ画像を被記録媒体に対して付与することだけでなくパターン等の意味を持たない画像を付与することをとも意味するものである。

【0003】また、本発明は紙、糸、繊維、布帛、皮革、金属、プラスチック、ガラス、木材、セラミックス等の被記録媒体に対し記録を行う、プリンター、複写機、通信システムを有するファクシミリ、プリンタ部を有するワードプロセッサ等の装置、さらには各種処理装置と複合的に組み合わせた産業用記録装置に適用可能な発明である。

【0004】

【従来の技術】従来、熱を用いてインクを吐出口から吐出するインクジェット方式に従う記録装置に搭載される記録ヘッドには、熱エネルギーを発生するための複数の電気熱変換素子（ヒータ）と、各電気熱変換体を独立に駆動するための駆動素子を備えている。そして、これらの電気熱変換体と駆動素子とは、たとえば特開平5-185594に示されているように半導体プロセス技術を用いて同一基体上に形成されている（これらの素子が作り込まれた基板を以下素子基体もしくはヒーターボードという）。

【0005】このような、素子基板を用いたインクジェットヘッドにおいて用いられている1ビット（1つの電気熱変換体）あたりの駆動等価回路を示すと図9のよう表わされる。この等価回路において前述の電気熱変換体1を駆動するためのスイッチ2（SQ）を高速にON、OFF制御する場合、Lp1、Lp2で示される規制インダクタンスやCp1～Cp3で示される寄生容量等に

より共振回路が形成され、信号のオーバーシュートやアンダーシュートが生じるリングング現象が現れる。

【0006】通常スイッチS_Qは、ダイオード、バイポーラトランジスタ、FETなどで構成され、それらのスイッチ素子のスイッチング特性により前述したリングング現象の様子も大きく左右される。

【0007】たとえば、スイッチをN型MOSFETトランジスタ（NMOSTランジスタ）等のMOSTランジスタを用いて構成する場合、ON抵抗をできるだけ小さくするためにはMOSTランジスタのサイズは非常に大きなものになってしまう。このため1ビットあたりのMOSTランジスタを図10のようにすればよく、実際のレイアウトパターンは図11のようにドレイン電極13、ソース電極14、ポリシリコンで構成されるゲート電極G1～G4を並列配置すればよいことを発明者らは見出した。しかし、このようにゲートの電極の接続が並列接続のレイアウトであるトランジスタを駆動した場合のスイッチング信号の電流波形は図12に示されるように立ち上がり、立ち下がり共に急峻となりリングングを発生させやすい波形になる。

【0008】

【発明が解決しようとする課題】しかしながら、上述のようなトランジスタを有する素子基板は通常非常に小型であるため、リングングを抑制するためのディスクリート部品を設けることは困難であり、また、寄生インダクタンスや寄生容量を減少させることも困難である。従って、上述のリングングを防止することは困難でありリングングによるヒータ（電気熱変換体）やスイッチ素子へのストレスに伴う劣化やリングングによって発生するノイズによる誤動作が懸念される。

【0009】本発明の目的は、リングング現象を抑制する手段を備え、リングング現象を抑制することでヒータやスイッチの劣化や、ノイズによる誤動作を抑制した素子基板、インクジェット記録ヘッド、インクジェット記録装置を提供することにある。

【0010】

【課題を解決するための手段】上述の課題を解決するための本発明の素子基板の主たる構成は、記録を行うための熱を発生する複数の電気熱変換素子と、該複数の電気熱変換素子を駆動するために電気熱変換素子に対応して設けられた複数のスイッチング手段とを有し、前述のスイッチング手段は、複数のスイッチング素子を並列に接続しており、それぞれのスイッチング素子のスイッチングタイミングが異なるように構成されていることである。

【0011】また、上述の課題を解決するための本発明のインクジェット記録ヘッドの主たる構成は、吐出口からインクを吐出するための熱を発生する複数の電気熱変換素子と、該複数の電気熱変換素子を駆動するために前記電気熱変換素子に対応して設けられた複数のスイッ

ング手段とを有する素子基板と、該電気熱変換素子に対応して設けられ一端が前記吐出口に連通する流路と、を有するインクジェット記録ヘッドであって、前記スイッチング手段は複数のスイッチング素子を並列に接続しており、それぞれのスイッチング素子のスイッチングタイミングが異なるように構成されていることである。

【0012】また、上述の課題を解決するための本発明のインクジェット記録装置は、上述のインクジェット記録ヘッドと、この記録ヘッドを駆動するための駆動信号を供給する駆動信号供給手段とを装置である。

【0013】（作用）上述のような構成によると、スイッチング手段を構成する複数のスイッチング素子のスイッチングタイミングをずらすことで、スイッチングの瞬間に発生する高周波の電流成分の振幅を減少させることでリングングを抑制することができ、このことでヒータやスイッチの劣化や、ノイズによる誤動作を抑制することができる。

【0014】

【発明の実施の形態】以下図面を用いて本発明を説明するが、以下に用いる「素子基板」とは、シリコン半導体からなる単なる基体を指し示すものではなく、各素子や配線等が設けられた基体を示すものである。

【0015】さらに、「素子基板上」とは、単に素子基体の上を指し示すだけでなく、素子基体の表面、表面近傍の素子基体内部側をも示すものである。

【0016】また、本発明でいう「作り込み」とは、別体の各素子を単に基体上に配置することを指し示している言葉ではなく、各素子を半導体回路の製造工程等によって素子基体上に一体的に形成、製造していることを示すものである。

【0017】本発明の説明を成すにあたって、まず、図1を用いて本発明のインクジェット記録ヘッドの概略構成について説明する。

【0018】素子基体20上には、電気信号を受けることで熱を発生し、その熱によって発生する気泡によって吐出口40からインクを吐出するための電気熱変換素子（ヒータ）が複数列状に配されている。この電気熱変換素子のそれぞれには、各電気熱変換素子を駆動するための電気信号を供給する配線電極3が設けられており、配線電極の一端側は後述するスイッチング手段に電気的に接続されている。

【0019】電気熱変換体に対向する位置に設けられた吐出口40へインクを供給するための流路41がそれぞれの吐出口に対応して設けられている。これらの吐出口および流路を構成する壁が溝付き部材101に設けられており、これらの溝付き部材101を前述の素子基体20に接続することで流路41と複数の流路にインクを供給するための共通液室21が設けられている。

【0020】以下、上述した素子基体20に電気熱変換素子や配線電極等と共に作り込まれた本発明のスイッ

ング手段について各実施例で説明する。

【0021】（第1の実施例）図2は本発明の素子基体上の回路構成の特徴をよく表わす図であり、ヒータ（電気熱変換素子）を駆動する1ビットあたりのブロック図である。1はON・OFFされるヒータS1～4はヒータに対応して設けられたスイッチング手段を構成するスイッチ素子を示しており、2はタイミングコントロール回路、VHは電源が供給される端子、INはスイッチ制御入力端子、C1～4はS1～4それぞれのスイッチ制御信号である。次にこのスイッチング手段の動作について図3を用いて説明する。まずIN端子に図3に示すタイミングで信号が入力されるとタイミングコントロール回路によりC1～4の信号がそれぞれ作られる。この場合C1の信号はIN信号と等しく、C2の信号はC1に対し t_1 分だけ遅らせた信号となり、C4はC1に対し t_3 分遅らせた信号となり、おのおののスイッチは各タイミングにあわせてON・OFF制御され、負荷に流れる電流IHは理想的な状態において図3に示すような階段状の波形となる。

【0022】この結果電流の立上り、立下りに含まれる高周波成分は同じであるが、その振幅を小さくすることができ、オーバーシュートやアンダーシュートの振幅が抑えられ結果としてリングング現象が抑制できる（図4）。

【0023】これにより、ヒーターやスイッチング手段の劣化や、ノイズによる誤動作を抑制することができる。

【0024】（第2の実施例）図5は本発明に係わる他の実施例を示す図であり、M1～4はスイッチング手段を構成するスイッチ素子であるところのNMOS、R1～3は抵抗、VHは電源が供給される端子、INは制御入力端子である。なおR1～3の抵抗としては後述するようなポリシリコンを用いて構成でもよいが、素子基板に作り込みができる薄膜抵抗であればよい。次に動作について簡単に説明する。IN端子にLowレベルからHighレベルの信号が入力されるとM1のゲートには同様の信号が与えられM1がほぼ同じタイミングでON・OFFする。しかし他のM2～4のNMOSはそれら自身の持つゲート容量とR1～3の抵抗によるRC時定数によりある時間だけ遅れた信号がゲートに与えられM2, 3, 4の順番にてON・OFFすることになり電流ILは前に説明したのと同様流れる電流は階段状にすることができ、先の実施例と同様に、リングング現象を抑制することができる。

【0025】これによってヒーターやスイッチング手段の劣化や、ノイズによる誤動作を抑制することができる。

【0026】図6は図5で説明したスイッチング手段を実現させるICレイアウトの一例を示す図である。11はゲート電極であるポリシリコン、12はソース・ドレ

インのか拡散層とアルミ電極とのコンタクト部、13はドレイン電極であるアルミ配線、14はソース電極であるアルミ配線。G1～4は図5に示すM1～4のゲート部である。

【0027】本例において図5のR1～R3は、ゲート電極を構成するポリシリコンを抵抗体として兼用しG1～4をシリーズに接続することで回路を実現させている。従ってこのR1～3に相当するG1～3の接続方法を変えることで種々のRC回路を構成することが可能である。

【0028】図6に示すレイアウトから実際の動作を説明する。ゲートを形成するポリシリコンが抵抗体であることからM1のゲートであるG1内においてもRCの回路が存在する。これはM1～4すべてに対してあてはまり、結果としてRとCが分布定数として表現される。従って電流波形ILは階段状ではなく曲線を示す。その結果高周波成分が抑えられてリングング抑制される効果となる。

【0029】さらにMOSトランジスタ自身の容量及び抵抗を用いるため、面積を増大させることなく同一ヒータボード上に作り込む事が可能である。

【0030】（その他の実施例）図7は発明の素子基体51を組み込んだインクジェット記録ヘッドの構造を示すもので、枠体54に素子基体51が組み込まれている。この素子基体上には前述のような吐出口や流路を構成する部材が取り付けられている。そして、装置側からの電気信号を受け取るためのコンタクトパッド53が設けられており、フレキシブルケーブル52を介して素子基体に電気信号が供給される。

【0031】このようなインクジェットヘッドによると、前述したようなリングングを抑制するための構成を素子基体自体が有しているため、小型ながらもリングングによる誤動作が生じにくい、しかも寿命の長いヘッドを提供することができる。

【0032】図8は本発明のインクジェットヘッドが適用されるインクジェット記録装置IJRAの概観図で、駆動モータ5013の正逆回転に連動して駆動力伝達ギア5011、5009を介して回転するリードスクリュー5005のらせ線溝5004に対して係合するキャリッジHCはピン（不図示）を有し、矢印a、b方向に往復移動される。5002は紙押え板であり、キャリッジ移動方向にわたって紙を記録媒体搬送手段であるプラテン5000に対して押圧する。5007、5008はフォトカプラでキャリッジのレバー5006のこの域での存在を確認してモータ5013の回転方向切換等を行うためのホームポジション検知手段である。5016は記録ヘッドの前面をキャップするキャップ部材5022を支持する部材で、5015はこのキャップ内を吸引する吸引手段でキャップ内開口5023を介して記録ヘッドの吸引回復を行う。5017はクリーニングブレードで、

5019はこのブレードを前後方向に移動可能にする部材であり、本体支持板5018にこれらは支持されている。ブレードは、この形態でなく周知のクリーニングブレードが本例に適用できることはいうまでもない。又、5012は、吸引回復の吸引を開始するためのレバーで、キャリッジと係合するカム5020の移動に伴って移動し、駆動モータからの駆動力がクラッチ切換等の公知の伝達手段で移動制御される。

【0033】これらのキャッピング、クリーニング、吸引回復は、キャリッジがホームポジション側領域にきたときにリードスクリュー5005の作用によってそれらの対応位置で所望の処理が行えるように構成されているが、周知のタイミングで所望の作動を行うようにすれば、本例には何れも適用できる。上述における各構成は単独でも複合的に見ても優れた発明であり、本発明にとって好ましい構成例を示している。

【0034】尚、本装置には電気熱変換素子を駆動するための駆動信号供給手段を有している。

【0035】本発明インクジェット記録装置では、先に説明したようなインクジェット記録ヘッドを搭載しているため、与えた信号に対して誤動作を生じることなく忠実に記録動作を行うことができる。又、ヘッド自体の寿命が長いため長寿命で低ランニングコストの記録装置を提供することができる。

【0036】

【発明の効果】以上説明したように、第1の本発明によれば、複数のスイッチ素子により構成され、スイッチングのタイミングが異なるように構成されたスイッチング素子を素子基体上に有するため、リングングの抑制が可能になり、リングング現象を抑制することでヒータやスイッチの劣化やノイズによる誤動作を抑制した素子基板、インクジェット記録ヘッド、インクジェット記録装置を提供することができる。

【0037】またスイッチ素子であるMOSトランジスタのゲート電極にポリシリコンを抵抗体として用いた構成ではゲート容量を組み合わせることでRC時定数を構成することでタイミング制御を行うことができるため、特に面積を増大させることなく同一素子基体上にスイッチング

タイミングを異ならせる構成を作り込むことが可能となり、ヘッドの小型化をも達成することができる。

【図面の簡単な説明】

【図1】本発明のインクジェット記録ヘッドの概略構成図

【図2】本発明の素子基体上の回路構成の一例を示す図

【図3】スイッチング手段の動作について説明するための図

【図4】本発明による電流の立上り、立下りを説明するための図

【図5】本発明の素子基体上の回路構成の他の例を示す図

【図6】本発明のICレイアウトの一例を示す図

【図7】本発明のインクジェット記録ヘッドの構成図

【図8】本発明のインクジェット記録装置の概観図

【図9】従来の素子基体上の回路構成の一例を示す図

【図10】公知ではない背景技術におけるスイッチング手段の回路構成を示す図

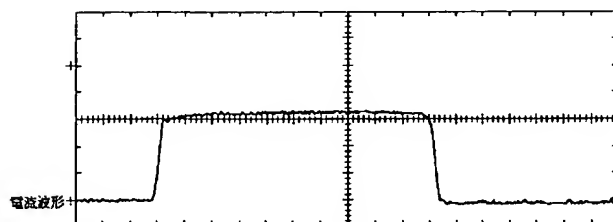
【図11】公知ではない背景技術におけるスイッチング手段のICレイアウトの一例を示す図

【図12】リングングを生じている場合の電流波形を説明するための図

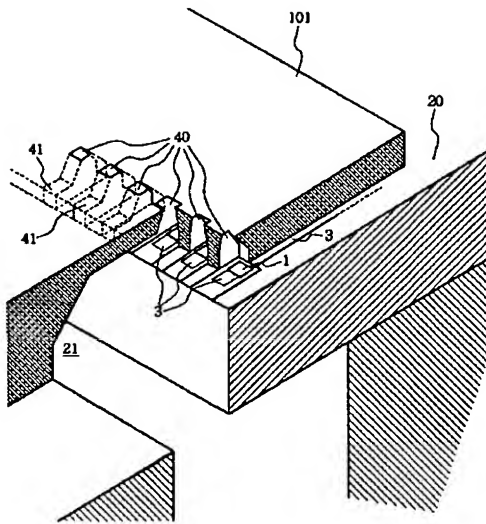
【符号の説明】

VH 電源端子
IN 入力信号端子
S0～4 スイッチ
M1～4 NMOSトランジスタ
C1～4 S1～4の制御端子(信号)
R1～3 抵抗
Lp1, 2 寄生インダクタンス
Cp1, 2, 3 寄生容量
1 電気熱変換素子(ヒータ)
2 タイミングコントロール回路
51 ヒータボード
52 TABテープ
53 端子部
54 筐体

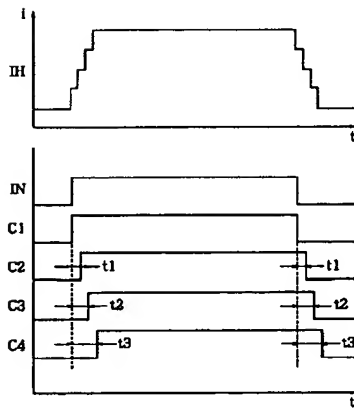
【図4】



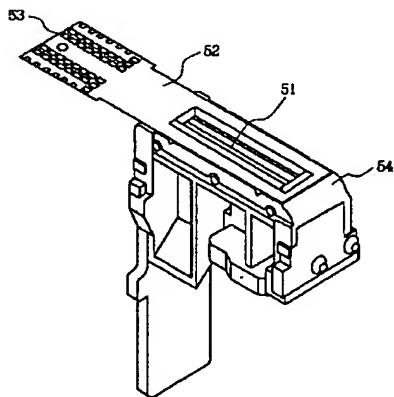
【図 1】



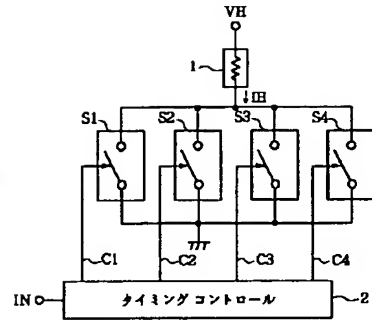
【図 3】



【図 7】

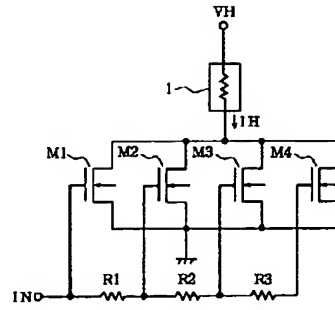


【図 2】

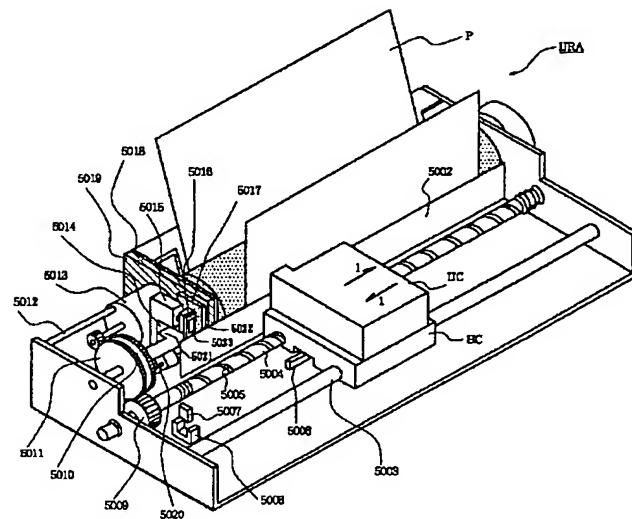
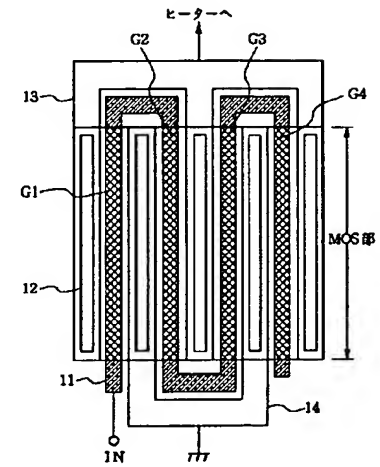


【図 6】

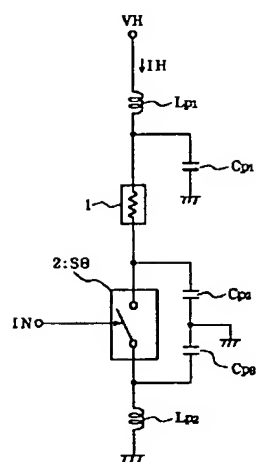
【図 5】



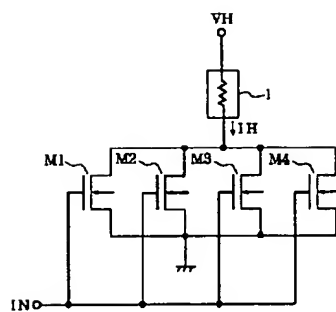
【図 8】



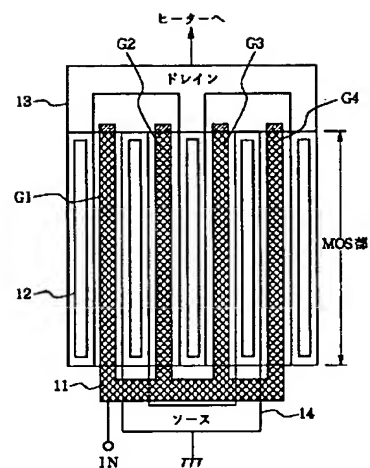
【図9】



【図10】



【図11】



11:ゲート
ポリシリコン層
12:コンタクト
13:AL配線層

【図12】

